

عنوان پروژه: ارائه تکنیک جدید کاهش توان مصرفی در مدارهای CMOS با استفاده از کاهش جریان نشتی و توان گلیچ

چکیده: یکی از مهم ترین نگرانی ها در طراحی مدارات VLSI ، مسأله مصرف توان می باشد .هم اکنون تقاضا برای مدارات دیجیتال توان پایین- سرعت بالا در حال افزایش است. پیشرفت در تکنولوژی ساخت نیمه هادی ها به مهندسين طراح کمک نموده است تا تعداد بیشتری ترانزیستور را در یک تراشه VLSI به کار برند .امروزه با روی کار آمدن وسایل قابل حملی که تأمین توان آنها از باتری می باشد، تحقیق درباره کاهش توان در تراشه های VLSI امری ضروری تلقی می گردد.

استفاده از دو ولتاژ آستانه، تکنیکی مناسب برای کاهش توان نشتی است. (این ایده به اینصورت است که با بررسی ورودی گیت های مختلف، ورودی هایی را که می توانند تاخیر بیشتری داشته باشند- مسیرهای غیر بحرانی- را پیدا کرده، و در آن مسیرها به منظور کاهش جریان نشتی از ترانزیستورهایی با ولتاژ آستانه بالاتری استفاده می شود.)

جریان نشتی یک ترانزیستور عمدتاً ناشی از جریان اشباع معکوس پیوند P-N و همچنین جریان نشتی ناشی از بایاس معکوس پیوند P-N در مقایسه با جریان نشتی زیر آستانه به راحتی قابل صرف نظر کردن است .جریان نشتی زیر آستانه، یک جریان معکوس ضعیف بین source و drain یک ترانزیستور MOS است. هنگامی که تغییرات در ورودی یک گیت اعمال می شود، خروجی تا بخواهد به حالت پایدار برسد، ممکن است چندین تغییر داشته باشد .در این تغییرات حداکثر یکی از آنها ضروری است و مابقی، تغییرات زاید هستند که glitch یا hazard نامیده می شوند .از آن جایی که توان مصرفی switching گیت، به طور مستقیم متناسب با تعداد تغییرات خروجی است، لذا همان طور که نتایج تجربی نشان می دهد، توان Glitch 20٪ تا 70٪ از کل توان پویا را به خود اختصاص می دهد .ثابت می شود که مدارهای ترکیبی (Combinational) ، دارای کمترین سطح ممکنه ی توان تلفاتی در تغییرات خروجی هستند .به عبارت دیگر، چنانچه اختلاف زمانی بین رسیدن سیگنال ها به ورودی گیت ها در مقایسه با زمان تاخیر درونی گیت کمتر باشد، در خروجی آن گیت (ها) هیچگونه glitch مشاهده نخواهد شد. از مدل MILP با در نظر گرفتن محدوده ای برای تاخیر کل مدار به منظور تعیین ولتاژ آستانه ترانزیستورهای مختلف استفاده نمودم .مدل MILP

برای کاهش توان نشتی کل مدار ولتاژ آستانه ی بالا را به حداکثر تعداد ممکنه گیت ها اعمال می کند، این در حالی است که تاخیر مسیر بحرانی را نیز تحت کنترل دارد. بر خلاف الگوریتم های پیشین مدل MILP جواب بهینه کلی را به ما می دهد.

در روش MILP سعی می شود که تعداد ترانزیستورهایی که دارای ولتاژ آستانه بیشتری هستند، ماکزیمم مقدار ممکنه را پیدا کنند، چرا که ترانزیستورهایی که دارای ولتاژ آستانه بیشتری هستند، جریان نشتی کمتری دارا میباشند. علاوه بر آن به منظور کاهش توان **Glitch** سعی می شود که با استفاده از حداقل المان های تاخیر ممکنه اختلاف زمانی بین ورودی های سریع گیت ها و ورودی های کند آنها را به حداقل مقدار ممکنه برسانند. مهمترین خصوصیت این روش آن است که مجموعه محدودیت هایی که در طراحی استفاده می کند بطور خطی متناسب با تعداد گیت های مدار است، لذا امکان بررسی و بهینه سازی مدارهای بزرگ را فراهم می کند. نتایج عملی نشان می دهد که توان نشتی، توان پویا و کل توان مصرفی برای گیت هایی که با ابعاد 70nm در تکنولوژی - BPTM CMOS ساخته شده اند با استفاده از این روش به ترتیب 96٪ و 40٪ و 70٪ کاهش یافته است. در این پایان نامه از روش برنامه ریزی خطی (MILP) برای کاهش توان نشتی بوسیله دو ولتاژ آستانه و مهار کردن همزمان توان پویای **Glitch** با استفاده از المان های تاخیر صفر- زیر آستانه ، برای متعادل سازی تاخیر مسیرهای ورودی گیت ها پیشنهاد شده است. یکی از مهم ترین ویژگی های این روش آن است که حجم عملیات بهینه سازی بطور خطی با تعداد گیت ها افزایش می یابد، لذا امکان بهینه سازی مدارهای بسیار بزرگ برای این روش وجود دارد. اشاره به این نکته ضروری است که با استفاده از این متد می توان برای هر تاخیر دلخواه ورودی و خروجی، هر دو مولفه ی توان را حداقل کرد.

کلواژه ها: توان مصرفی، مدارهای CMOS، جریان نشتی، توان گلیچ.

# فصل 1: مقدمه

---

## 1-1- مقدمه

با پیشرفت تکنولوژی در سال‌های اخیر تراشه‌های مجتمع خیلی فشرده<sup>1</sup> طراحی شده دارای سرعت بالا همراه با پیچیدگی بسیار زیاد، بیش از ۱۰۰ میلیون ترانزیستور در یک تراشه، می‌باشند. با افزایش سرعت کاری تراشه‌ها و افزایش پیچیدگی آنها، مصرف توان در تراشه‌ها به شدت بالا می‌رود. از طرفی با توجه به محدود بودن انرژی باتری‌ها، مبحث مصرف توان برای کاربردهایی نظیر گوشی‌های موبایل، تبلت و لپ‌تاپ‌ها و ... باید به طور ویژه مورد بررسی قرار گیرد. یکی از ویژگی‌های کلیدی‌ای که منجر به موفقیت تکنولوژی نیم‌رسانای اکسید فلزی مکمل، یا CMOS، شد مصرف توان کم ذاتی آن بود. یکی دیگر از ویژگی‌های جالب تکنولوژی CMOS خواص مقیاس گذاری مطلوب آن با توجه به قانون مور است که اجازه یک کاهش ثابت در اندازه ویژگی را می‌دهد، که کار کردن با فرکانس بیشتر را برای سیستم‌های بسیار پیچیده تر روی تنها یک چیپ میسر می‌سازد. افزایش توان مصرفی علاوه بر کاهش طول عمر باتری، منجر به گرم شدن تراشه و دست‌گام می‌شود و گرم شدن از یک طرف کارایی تراشه را مختل می‌کند و از یک طرف نایز به تجهیزات گران قیمت سرد کننده تراشه را به وجود می‌آورد. از این رو توان عامل محدود کننده‌ای در عملکرد تراشه‌ها با مقیاس شدن تکنولوژی CMOS می‌باشد.

---

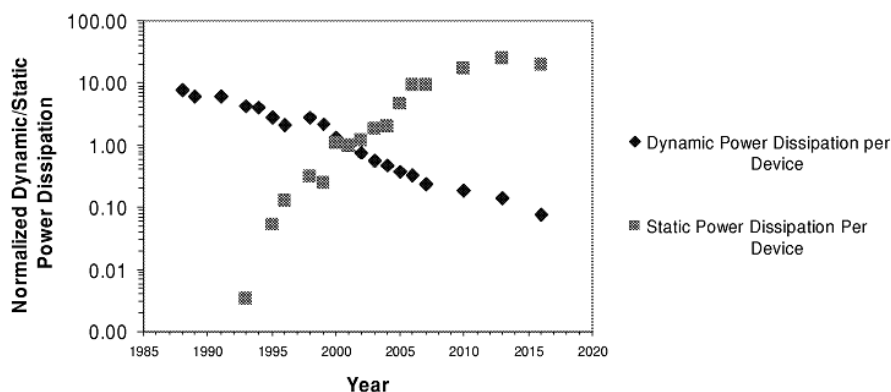
<sup>1</sup> VLSI

## 1-2- مقیاس کردن تکنولوژی CMOS و تاثیر آن بر توان مصرفی

در طی 50 سال گذشته، صنعت الکترونیک و مجتمع سازی از روند مقیاس کردن پیشنهاد شده توسط مور پیروی کرده است. طبق این قانون هر 2 سال ابعاد هندسی به میزان 30 درصد کاهش می یابد [1 و 2]. دلیل اصلی کاهش ابعاد کاهش هزینه تولید تراشه ها می باشد [3]. با کاهش ابعاد به میزان 30 درصد، مساحت تراشه به میزان 50 درصد کاهش می یابد ( $0.7 \times 0.7 = 0.5$ ). این بدین معنی است که با دو برابر شدن تعداد ترانزیستورها در سطح تراشه هزینه تولید تراشه به شدت کاهش می یابد. علاوه بر این با کاهش ابعاد به میزان 30 درصد، تاخیر دروازه ها نیز به میزان 30 درصد کاهش می یابد و این متناظر با افزایش کارایی و سرعت تراشه ها به میزان 30 درصد می یابد [2].

دو نوع مقیاس کردن در تکنولوژی CMOS انجام می شود. نوع اول ولتاژ ثابت و نوع دوم میدان ثابت می باشد. در نوع اول ابعاد مقیاس شده، در حالی که ولتاژ ثابت می ماند. مزیت این روش این است که مدارات طراحی شده با مدارات قدیمی تر از لحاظ تکنولوژی سازگاری دارند و می توانند در کنار هم بدون تبدیل ولتاژ کار کنند. با این حال این روش مشکل افزایش میدان الکتریکی بر روی کانال را دارد که منجر به اثرات نامطلوبی از جمله از دید توان مصرفی می شود [1]. نوع دوم که بر اساس قانون دنارد می باشد [4]، میدان الکتریکی بر روی کانال را ثابت نگه می دارد. از این رو در این روش ابعاد و ولتاژهای تغذیه و نیز ولتاژ آستانه کاهش می یابند. در این روش نیز به علت کاهش ولتاژ آستانه، مشکلاتی از لحاظ توان نشتی یا توان ایستا به وجود می آید که امروزه طراحان به بر روی راه های کاهش توان نشتی کار می کنند.

افزایش روند مقیاس کردن پیش بینی شده توسط ITRS [5] نشان می دهد که با افزایش مجتمع سازی، هزینه به شدت کاهش پیدا کرده و کارایی به طور پیوسته بهبود می یابد. همچنین تاثیر مثبتی بر روی توان مصرفی دارد، با این حال با افزایش میزان مقیاس کردن، توان نشتی، توان ایستا، بر توان مصرفی پویا غالب می شود. همان طوری که شکل 1-1 نان می دهد، توان نشتی سال 2001 به بعد توان غالب شده و طراحان به دنبال راه حل برای بهبود این بخش از توان مصرفی تراشه ها بوده اند [6].



شکل (1-1) تصویر ITRS از توان مصرفی پویا و نشتی به ازای هر افزاره [6].

### 3-1- تحلیل توان مدارات CMOS

در تراشه‌ها دو دسته کلی توان مصرفی وجود دارد: توان پویا<sup>1</sup> و توان ایستا<sup>2</sup> [7].

توان پویا ناشی از دو عامل کلی می‌باشد [7]:

✓ جریان اتصال کوتاهی که هنگام روشن بودن لحظه‌ای شبکه‌های پایین و بالای NMOS و

PMOS در مدارات دیجیتال از تغذیه کشیده می‌شود. این توان اتصال کوتاه نامیده می‌شود.

✓ توانی که از پر و خالی شدن خازن‌های گره‌های درونی و خروجی مدارات دیجیتال مصرف

می‌شود. پر و خالی شدن خازن گره‌ها به میزان کلید زنی یا همان صفر و یک شدن گره‌ها

بستگی دارد که به عنوان فاکتور فعالیت<sup>3</sup> شناخته می‌شود. مقدار فاکتور فعالیت توسط عوامل

مختلفی نظیر گلیچ<sup>4</sup> زیاد می‌شود و منجر به افزایش توان پویای مصرفی می‌شود.

توان ایستا ناشی از چند دسته می‌باشد [7]:

✓ توان تلف شده ناشی از نشتی زیرآستانه: زیرا در ترانزیستورها در حالت خاموش، مقداری

جریان از طریق کانال نشت می‌کند.

<sup>1</sup> Dynamic Power

<sup>2</sup> Static Power

<sup>3</sup> Activity Factor

<sup>4</sup> Glitch

✓ توان تلف شده ناشی از نشتی زیرآستانه: زیرا در ترانزیستورها به علت وجود پدیده تونل‌زنی از عایق گیت به کانال، مقداری جریان از عایق گیت به درون کانال ترانزیستورها نشت می‌کند.

✓ نشتی ناشی از طریق ناحیه دیفیوژن درین و سورس به درون کانال. لذا توان مصرفی تراشه برابر مجموع توان مصرفی پوبا و ایستا می‌باشد.

## 4-1- توان پویا در مدارات CMOS

طی سالیان دراز، توان پویا توان مصرفی غالب مدارات دیجیتال CMOS بود [1]. توان مصرفی پویا به صورت رابطه 1-1 محاسبه می‌شود:

$$P_{dynamic} = P_{shortcircuit} + P_{switching} \quad (1-1)$$

که  $P_{shortcircuit}$  توان مصرفی اتصال کوتاه و  $P_{switching}$  توان مصرفی ناشی از پر و خالی شدن خازن‌ها (توان کلید زنی) می‌باشد.

با یک شدن گره‌های خروجی در مدارات، انرژی از منبع تغذیه گرفته شده و در خازن‌های متصل به گره‌های خروجی ذخیره می‌شود. سپس با صفر شدن گره‌های خروجی در مدارات، انرژی ذخیره شده در خازن‌ها وارد زمین شده و در واقع تلف می‌شوند. این مصرف توان که بخش بزرگی از توان پویا را شامل می‌شود، توان مصرفی کلید زنی نامیده می‌شود. این توان علاوه به صورت زیر محاسبه می‌شود:

$$P_{switching} = \quad (2-2)$$

$$\alpha C V_{DD}^2 f$$

که  $f$  فرکانس کاری،  $V_{DD}$  ولتاژ تغذیه و  $\alpha$  فاکتور فعالیت می‌باشد. همان طور که مشاهده می‌شود این بخش از توان مصرفی پوبا، به عواملی نظیر اندازه خازن، ولتاژ تغذیه و فاکتور فعالیت وابسته می‌باشد.

ظرفیت خازنی گره‌های خروجی مدارات، مجموع ظرفیت اتصالات میانی و ترانزیستورها می‌باشد. با انتخاب مناسب ابعاد ترانزیستورها و اتصالات میانی می‌توان بار خازنی گره‌ها را حداقل نمود. فاکتور فعالیت به طور کلی به شدت وابسته به جریان داده تولید شده در سیستم می‌باشد. یکی از راه‌های کاهش این توان، صفر کردن ضریب فعالیت با قطع کردن کلاک دروازه‌های یا مدارات می‌باشد. یکی از عواملی که این فاکتور را زیاد می‌کند، گلیچ می‌باشد. این عامل یکی از عواملی است که می‌تواند به شدت توان مصرفی دینامیک را در انجام پایان نامه کاهش دهد. ولتاژ تغذیه نیز نقش مهمی در توان مصرفی پویا بازی می‌کند. زیرا این توان با ولتاژ رابطه درجه دو دارد. لذا اگر ولتاژ کاهش یابد، متناظرا توان مصرفی پویا نیز به شدت کاهش می‌یابد. با این حال کاهش ولتاژ تغذیه کارایی مدار را نیز خراب می‌کند. از این رو به منظور کاهش توان مصرفی پویا همراه با حفظ کارایی مدارات دیجیتال از چندین ولتاژ تغذیه یا تکنیک‌هایی مانند مقیاس پویای ولتاژ تغذیه استفاده می‌شود.

همان‌طور که بیان شد، توان مصرفی پویا توان مصرفی اتصال کوتاه را نیز شامل می‌شود. این توان در زمان گذر گره‌های خروجی از 1 به صفر، به علت ایجاد مسیر لحظه‌ای بین VDD و زمین توسط شبکه‌های بالابر و پایین‌بر مصرف می‌شود. این توان معمولا کمتر از 10 درصد کل توان پویا می‌باشد و از این رو برابر 10 درصد توان کلید زنی می‌باشد.

### 1-4-1- توان مصرفی ناشی از گلیچ

به علت وجود تاخیر انتشار غیر صفر در مدارات دیجیتال، خروجی دروازه‌ها<sup>1</sup> ممکن است تحت تاثیر تاخیر قرار گرفته و گذرهای نادرست از منطق درست به منطق غلط داشته باشند. گلیچ از یک

<sup>1</sup> Gate

طرف کارایی سیستم را تحت تاثیر قرار می‌دهد و از طرف دیگر با کلید زنی گره‌ها، باعث پر و خالی شدن بار موجود در خازن گره‌ها می‌شود و در نهایت توان پویای مصرفی را افزایش می‌دهد.

بر اساس [8] توان مصرفی ناشی از گلیچ در حدود 20 تا 70 درصد توان پویای تراشه را تشکیل می‌دهد. به منظور حذف کردن گلیچ، طراحان روش‌هایی از جمله فیلتر کردن هازارد [9، 10، 11، 12 و 13] و یکسان‌سازی زمانی مسیرها [11، 14 و 15] پیشنهاد داده‌اند.

در فیلتر کردن هازارد، از تکنیک سایزبندی دروازه‌های منطقی یا ترانزیستورها برای افزایش تاخیر ساکن دروازه‌ها به منظور فیلتر کردن گلیچ استفاده می‌شود. از معایب این روش این است که، زمانی که به تنهایی استفاده شود، به علت افزایش تاخیر دروازه‌های منطقی، منجر به افزایش تاخیر کل مدار می‌شود و لذا کارایی مدار نیز ممکن است کاهش پیدا کند. روش یکسان‌سازی زمانی مسیرها، با قرار دادن عناصر تاخیر در مسیرهایی که گلیچ در آنها اتفاق می‌افتد، احتمال وقوع گلیچ را مینیمم می‌کند. این روش وارد کردن تاخیر<sup>1</sup> نیز نامیده می‌شود. این روش کارایی تراشه یا مدارات دیجیتال را کاهش نمی‌دهد، زیرا وارد کردن تاخیر در مسیرهایی غیر از مسیر بحرانی<sup>2</sup> صورت می‌گیرد. با این حال این روش مساحت تراشه را زیاد می‌کند. با توجه به اینکه این افزایش مساحت از افزایش تعداد ترانزیستورهای موجود در سطح تراشه ایجاد شده است، لذا توان مصرفی نیز افزایش می‌یابد. از این رو این روش نگرانی‌هایی از جهت توان مصرفی افزوده شده توسط عناصر تاخیر اضافه شده به مدار را دارد. بهترین راه برای حذف گلیچ، ترکیبی از دو روش معرفی شده در [14] پیشنهاد شده است.

## 1-5- توان ایستا در مدارات CMOS

در گذشته توان مصرفی پویا بخش عمده توان کل مصرفی تراشه‌های CMOS را تشکیل می‌داد. توان ایستا در زمان خاموشی مدار مصرف می‌شود. تا قبل از تکنولوژی 90 نانومتر، این توان فقط در

<sup>1</sup> Delay Insertion

<sup>2</sup> Critical Path



حالت کاری خواب نگران کننده بود. زیرا تا قبل از این تکنولوژی می توان از این توان در مقابل توان پویا چشم پوشی کرد. از آنجایی که بخش عمده این توان را توان کلید زنی تشکیل می دهد، لذا با کاهش ولتاژ تغذیه، توان مصرفی به صورت توان 2 کاهش پیدا می کند. با این حال، به منظور بالا نگه داشتن کارایی تراشه، فرکانس کاری یا سرعت تراشه، باید ولتاژ آستانه تراشه را با همین فاکتور کاهش داد. این کاهش ولتاژ آستانه منجر به افزایش جریان نشتی زیرآستانه به صورت نمایی می شود. از این رودر فرایندهای نانومتری که ولتاژ آستانه کاهش یافته و ضخامت اکسید گیت نازکتر شده است، توان نشتی می تواند بیش از یک سوم توان کل مصرفی تراشه در بر گیرد. لذا یکی از عوامل عمده توان استاتیک، توان ناشی از نشتی جریان زیرآستانه می باشد. یکی دیگر از عوامل توان ایستا، توان ناشی از نشتی گیت می باشد. با اعمال ولتاژ به گیت ترانزیستورها، حامل های بار از طریق عایق نازک گیت به درون کانال تونل می زنند. این تونل زنی باعث می شود تا مقداری جریان از گیت ترانزیستورها به درون کانال آنها نشت نماید. مقدار این جریان معمولاً در حدود نانوآمپر بر میکرومتر می باشد. یکی دیگر از عوامل ایجاد توان ایستا، توان ناشی از نشتی پیوندهای سورس و درین می باشد. این نشتی زمانی رخ می دهد که پتانسیل سورس و یا درین نسبت به ولتاژ بدنه ترانزیستورها تفاوت متفاوت باشد [7].

برای کاهش توان نشتی در انجام پایان نامه مهندسی برق راه های از جمله سایزبندی ترانزیستورها [16 و 17]، استفاده از چندین ولتاژ آستانه [18، 19 و 20]، استفاده از دو ولتاژ آستانه [16، 17، 21، 22، 23 و 24]، انتخاب بهینه بردار ورودی در حالت خواب [15 و 25]، پشته کردن ترانزیستورها<sup>1</sup> [26، 27 و 28]، بایاس بدنه [29 و 30] و ... پیشنهاد شده است. همان طور که ولتاژ آستانه ترانزیستورها افزایش می یابد، نشتی زیرآستانه کاهش می یابد، اما از طرف دیگر سرعت تراشه نیز افت می کند. استفاده از دو ولتاژ آستانه در سطح تراشه، تکنیک بهتری برای کاهش نشتی زیر

---

<sup>1</sup> Transistor Stacking

آستانه همراه با بالا نکه داشتن کارایی تراشه می‌باشد. ایده اصلی استفاده از اسلک زمانی<sup>1</sup> مسیرهای غیر بحرانی به منظور استفاده از ارجاع ولتاژ آستانه بالاتر به ترانزیستور قرار گرفته در این مسیرها برای کاهش توان نشتی می‌باشد.

## 1-6- هدف پایان نامه

مسئله‌ای که در این پایان نامه به ارائه تکنیک ترکیبی با استفاده از روش ترکیب برنامه ریزی صحیح خطی<sup>2</sup> برای کاهش توان تراشه پرداخته خواهد شد. در این پایان نامه یک فرمولی برای MILP قطعی به منظور مینیم کردن توان نشتی و توان پویا در مدارات استاتیک CMOS با توجه به کارایی داده شده ارائه خواهد شد و سپس برای صحت آن بر روی برخی از مدارات CMOS استاتیک شبیه سازی خواهد شد. در مدارات با دو ولتاژ آستانه، این روش تعداد افزاره‌های با ولتاژ آستانه بالا را ماکزیمم می‌کند و به طور همزمان گلیچ را با استفاده از یکسان‌سازی زمانی مسیرها با استفاده از کمترین تعداد عناصر تاخیر، از مدار حذف می‌کند. سایزبندی دروازه‌های منطقی برای کاهش ظرفیت خازنی گره‌ها انجام می‌شود که این توان کلیدزنی را کاهش می‌دهد.

## 1-7- ساختار پایان نامه

در فصل اول کلیاتی از اهمیت مبحث توان در مدارات CMOS و تکنولوژی‌های جدید بیان شد. در فصل دوم ابتدا اجزا اصلی تون مصرفی در مدارات استاتیک CMOS بررسی می‌شود و سپس مروری بر روی روش‌های کاهش توان خواهیم داشت. در فصل سوم روش MILP پیشنهادی برای

<sup>1</sup> Timing Slack

<sup>2</sup> Mixed integer linear programming (MILP)

کاهش توان مصرفی ایستا و پویای ناشی از نشستی زیر آستانه و گلیچ ارائه خواهد شد. در فصل چهارم نتایج شبیه سازی مدارات همراه با تکنیک پیشنهادی ارائه خواهد شد.

## فصل 2: پیشینه تحقیق

---

مینیم سازی توان مصرفی با استفاده مدارات طراحی شده با توان مصرفی پایین یکی از موضوعات داغ در زمینه کاهش توان مدارات CMOS در دو دهه گذشته بوده است [31-33]. در حالی که توان پویا به عنوان توان مصرفی غالب در گذشته شناخته می شد، با افزایش مقیاس کردن تکنولوژی CMOS در دو دهه گذشته تا کنون، به منظور افزایش کارایی، کاهش هزینه ساخت تراشه و ..، توان نشتی زیاد شده است، به طوری که بخش عمده ای از توان مصرفی را در بر گرفته است [34]. به طور کلی برای کاهش توان دو دسته کلی وجود دارد. دسته اول شامل روش هایی می باشد که در حین اجرا، الگوریتم را به نحوری اجرا می باشد که توان مصرفی ناشی از گلیچ و نشتی را تا حدودی بهبود دهد. دسته دوم شامل روش هایی است که در حین طراحی در نظر گرفته می شوند و در سطح تراشه مورد استفاده قرار می گیرند. هدف از این بخش، کاهش توان مصرفی ناشی از توان نشتی و گلیچ در مدارات دیجیتال و در سطح طراحی می باشد.

### 1-1- اجزا توان مصرفی تراشه

توان مصرفی در مدارات استاتیک CMOS از دو جز توان پویا و توان ایستا تشکیل شده است.

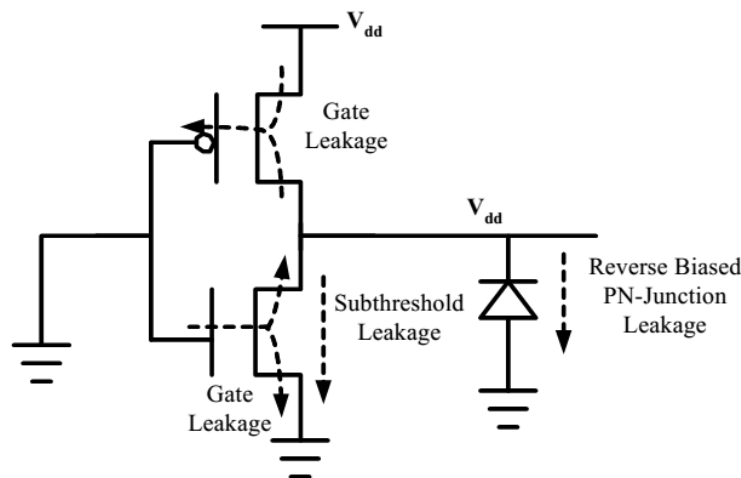
## 1-1-1- توان مصرفی پویا

توان مصرفی پویا توسط رابطه 1-2 محاسبه می‌شود. همان‌طور که در رابطه 1-2 نشان داده شده است، این توان به طور مستقیم با نرخ کلید زنی یا تغییر حالت گره‌های خروجی مدارات در سطح تراشه رابطه مستقیم دارد. هر چقدر که تعداد گذرها یا تغییرات مقدار گره‌ها بیشتر باشد، توان مصرفی پویا بیشتر می‌شود. بعد از اعمال تغییر به ورودی مدارات، معمولاً یک تغییر باید در خروجی داشته باشیم. با این حال گره خروجی تا رسیدن به جواب پایدار تغییرات یا گذارهای غیرضروری ممکن است داشته باشد که گلیچ نامیده می‌شوند. از این رو توان مصرفی پویا از دو جز تشکیل شده که بخشی ناشی از تغییرات مورد نیاز سیگنال می‌باشد و بخش دیگر ناشی از تغییرات ناخواسته به وجود آمده ناشی از پدیده گلیچ در گره خروجی مدار می‌باشد.

$$P_{Dynamic} \approx P_{Switching} = \alpha CV_{DD}^2 f \quad (1-2)$$

## 1-1-2- توان نشتی

به طور عمده توان نشتی ناشی از نشتی پیوند PN با بایاس معکوس، نشتی زیرآستانه و نشتی گیت می‌باشد. این نشتی‌ها در شکل 1-2 نشان داده شده است.



شکل (1-1) جریان نشتی در یک معکوس کننده.

در تکنولوژی زیر میکرون، نشتی ناشی از پیوند PN با بایاس معکوس بسیار کمتر از توان نشتی زیرآستانه و نشتی گیت می‌باشد. از این رو با تقریب خوبی نادیده گرفته می‌شود. نشتی زیرآستانه جریان معکوس ضعیفی بین سورس و درین ترانزیستور MOS می‌باشد. این نشتی زمانی که ولتاژ گیت کمتر از ولتاژ زیرآستانه باشد، به وجود می‌آید [35]. این جریان در رابطه 2-2 داده شده است [36].

$$I_{sub} = \mu_0 C_{ox} \frac{W}{L_{eff}} V_T^2 e^{1.8} \exp\left(\frac{V_{gs}-V_{th}}{nV_T}\right) \cdot (1 - \exp(\frac{-V_{ds}}{V_T})) \quad (2-2)$$

که در این رابطه  $\mu_0$  موبیلیتی الکترون در بایاس صفر ولت،  $C_{ox}$  خازن اکسید بر واحد سطح،  $n$  ضریب شیب زیرآستانه،  $V_{gs}$  و  $V_{ds}$  به ترتیب ولتاژ گیت-سورس و ولتاژ درین-سورس می‌باشد.  $V_T$  ولتاژ حرارتی،  $V_{th}$  ولتاژ آستانه،  $W$  عرض کانال ترانزیستور و  $L_{eff}$  طول موثر کانال ترانزیستور می‌باشد. به دلیل رابطه نمایی بین  $I_{sub}$  و  $V_{th}$ ، با افزایش  $V_{th}$  به صورت تیز و سریع جریان زیرآستانه کاهش می‌یابد.

نشتی ناشی از تونل زنی حامل‌ها از طریق اکسید گیت به درون کانال به علت ضخامت کم اکسید گیت و میدان الکتریکی زیاد می‌باشد. با افزایش میزان مقیاس کردن در به مرور زمان، این ضخامت کمتر شده و احتمال وقوع پدیده تونل‌زنی زیاد می‌شود. جریان تونل‌زنی برای ضخامت اکسید کمتر از 15-20 آنگستروم مهم می‌شود و حتی ممکن است نسبت به نشتی زیرآستانه قابل مقایسه شود [37]. برخلاف نشتی زیرآستانه که در حالت خاموشی ضعیف ترانزیستور وجود دارد، نشتی تونل‌زنی گیت در همه حالت، چه خاموشی و چه روشن بودن ترانزیستور، وجود دارد [38]. رابطه 2-3 نشتی تونل‌زنی گیت را بیان می‌کند [26].

$$I_{gate} = W_{eff} L_{eff} A \left(\frac{V_{ox}}{T_{ox}}\right)^2 \exp\left(\frac{-B(1-(1-\frac{V_{ox}}{\phi_{ox}})^{1.5})}{\frac{V_{ox}}{\phi_{ox}}}\right) \quad (3-2)$$

در این رابطه  $V_{ox}$  اختلاف پتانسیل افتاده بر روی امسید نازک،  $\phi_{ox}$  ارتفاع سد برای ذره تونل‌زننده (حفره یا الکترون) و  $T_{ox}$  ضخامت اکسید گیت می‌باشد.  $A$  و  $B$  پارامترهای فیزیکی می‌باشند که توسط 2-4 داده می‌شوند [26].

$$A = \frac{q^3}{16\pi^2 h \phi_{ox}} \quad , \quad B = \frac{4\sqrt{2m} \phi_{ox}^{1.5}}{3hq} \quad (4-2)$$

که در این معادلات  $m$  جرم موثر ذره تونل‌زننده،  $q$  با الکتریکی الکترون و  $h$  ثابت کاهش یافته پلانک می‌باشد. ضخامت اکسید گیت،  $T_{ox}$ ، یا مقیاس شدن تکنولوژی کاهش می‌یابد و از اثراتی نظیر کانال کوتاه اجتناب می‌شود. رابطه 2-3 نشان می‌دهد که نشتی تونل‌زنی گیت با کاهش  $T_{ox}$  به طور قابل توجهی افزایش می‌یابد.

در انجام پایان نامه مهندسی برق ما از تکنولوژی TSMC 180nm به منظور پیاده سازی مدارات و ایده‌های خود استفاده می‌کنیم. در این پایان‌نامه از نشتی گیت صرف نظر شده است و در ادامه فقط تکنیک‌های کاهش توان نشتی زیرآستانه و نیز توان پویا پرداخته می‌شود.

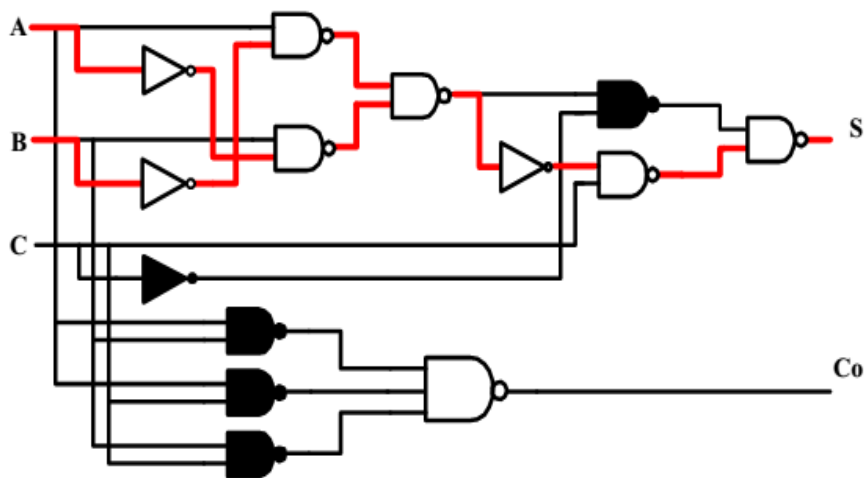
## 1-2- روش‌های کاهش توان نشتی

همان طور که بیان شد، با مقیاس کردن پیوسته تکنولوژی CMOS توان نشتی در مقایسه با توان پویا بیشتر اهمیت می‌یابد. به منظور کاهش توان نشتی در انجام پایان نامه، روش‌های بسیاری از جمله استفاده از دو ولتاژ آستانه، چندین ولتاژ آستانه، انتخاب بردار ورودی بهینه در حالت استراحت مدار، استک کردن ترانزیستورها و بایاس بدنه پیشنهاد شده است.

### 1-2-1- استفاده از دو ولتاژ آستانه

استفاده از دو ولتاژ آستانه یکی از راهکارهای بهینه و موثر برای کاهش توان نشتی زیرآستانه می‌باشد. در این روش، هر سلول در کتابخانه سلول‌های استاندارد دو نسخه خواهد داشت که یک نسخه با استفاده از ولتاژ آستانه پایین و دیگری با ولتاژ آستانه بالا کار طراحی شده است. دروازه‌های با ولتاژ آستانه پایین، دارای سرعت بالاتری نسبت به نسخه دوم خود دارند، در حالی که دروازه‌های با ولتاژ آستانه بالاتر دارای توان نشتی زیرآستانه کمتری هستند. روش متداول قطعی (غیر تصادفی) برای ارجاع دادن دروازه‌های با دو ولتاژ آستانه در مدار، از اسلک زمانی مسیرهای غیر بحرانی استفاده می‌کند و دروازه‌های با ولتاژ آستانه بالاتر را به این مسیرها ارجاع می‌دهد تا توان نشتی زیرآستانه در

مسیرهای غیر بحرانی به حداقل برسد.



شکل (2-1) استفاده از روش دو ولتاژ آستانه در مدار تمام جمع کننده.

شکل 2-2 نمونه‌ای از این ارجاع دادن را نشان می‌دهد. خطوط کلفت بیانگر مسیر بحرانی مدار می‌باشد. به منظور بالا نگه داشتن کارایی یا همان سرعت مدار، تمام دروازه‌های منطقی قرار گرفته در مسیر بحرانی از نوع دروازه با ولتاژ آستانه پایین می‌باشند، در حالی که برخی یا حتی کامل دروازه‌های قرار گرفته در مسیر غیر بحرانی به منظور کاهش توان نشتی مدارات از نوع دروازه با ولتاژ آستانه بالا می‌باشند. زیرا این مسیرها نسبت به مسیر بحرانی دارای عقب افتادگی زمانی هستند. به عبارتی دیگر خروجی در این مسیرها زودتر از خروجی مسیر بحرانی آماده می‌شود. از این رو می‌توان با افزایش تاخیر این مسیرها به وسیله استفاده از دروازه‌های با ولتاژ آستانه بالاتر، به طوری که خروجی آنها همراه با مسیر بحرانی آماده شود، کارایی مدار را خراب نکرد، درحالی که توان نشتی را کاهش داد. برای استفاده از این روش، باید دروازه‌های قرار گرفته در مسیر بحرانی و غیر بحرانی شناسایی شوند. شناسایی دروازه‌ها به دو صورت انجام می‌گیرد: روش‌های اکتشافی [16-17، 23، 24، 38-40] و روش‌های برنامه‌ریزی خطی [21 و 22]. در بین روش‌های اکتشافی، الگوریتم دنبال کردن به عقب<sup>1</sup> [39 و 40] برای ارجاع دروازه‌ها در روش دو ولتاژ آستانه فقط یک راه حل را ارائه می‌دهد که لزوماً نمی‌تواند بهینه باشد. زیرا در این روش جهت جستجو برای یافتن دروازه‌های قرار گرفته در مسیرهای غیر بحرانی از خروجی‌های اولیه به سمت ورودی‌های اولیه می‌باشد. از این

<sup>1</sup> Back Tracking



رو دروازه‌های نزدیک به خروجی‌های اولیه بیشترین اولویت برای ارجاع به ولتاژ آستانه بالاتر را دارند. این تصمیم‌گیری توسط الگوریتم در حالی صورت می‌گیرد که ممکن است نشی زیر آستانه این دروازه‌ها کمتر از نشی دروازه‌های نزدیک به ورودی‌های اولیه باشد. در مرجع [23] مسئله ارجاع دو ولتاژ آستانه به صورت یک مسئله برنامه‌ریزی شده و محدود شده به 0-1 با تابع محدودیت غیر خطی توصیف شده است. ونگ و ... یک الگوریتم ابتکاری مبتنی بر شمارش گرفا برای حل این مشکل پیشنهاد می‌دهند. اگر چه الگوریتم جابجایی آنها تلاش می‌کند تا از بهینه‌سازی محلی اجتناب کند، با این حال بهینه‌سازی سراسری نمی‌تواند تضمین شده باشد. بر خلاف روش ابتکاری که بهینه‌سازی محلی را در انجام پایان نامه مهندسی برق تضمین می‌کند، برنامه‌ریزی خطی بهینه‌سازی سراسری را با توصیف هر دو تابع هدف و محدودیت به عنوان توابعی خطی، تضمین می‌کند. نیانگ و ... در مرجع [22] از برنامه‌ریزی خطی برای مینیمم‌سازی نشی و توان دینامیکی به وسیله تکنیک‌های سایزبندی و ارجاع دو ولتاژ آستانه به دروازه‌ها استفاده می‌کنند. عملیات بهینه‌سازی در چند مرحله انجام می‌شود. در ابتدا از یک برنامه‌ریزی خطی برای توزیع اسلک زمانی گیت‌ها به منظور دستیابی به بیشترین کاهش توان مصرفی استفاده می‌شود. سپس یک الگوریتم مستقل برای سایزبندی کردن ترانزیستورهای دروازه‌ها و ارجاع ولتاژ آستانه به دروازه‌ها مورد نیاز می‌باشد. این بدین معنی است که در مرجع [22] همچنان روش برنامه‌ریزی خطی در کنار روش اکتشافی برای انجام کامل فرایند بهینه‌سازی مورد نیاز می‌باشد. مرجع [21] نیز از MILP برای ارجاع دو ولتاژ آستانه و نیز سایزبندی دروازه‌ها برای بهینه‌سازی توان مصرفی کل استفاده می‌کند.

استفاده از دو ولتاژ آستانه در مدارات می‌تواند هم توان نشی در حالت کاری فعال یا روشن و هم حالت کاری استراحت را بهبود بخشد. زیرا اکثر دروازه‌ها چه در زمانی که سیستم یا مدار در حالت کاری فعال باشد یا نباشد، در حالت کاری ایده‌آل باقی می‌مانند. با این حال میزان موثر بودن این روش بستگی به ساختار مدار دارد. استفاده از این تکنیک در مدارات متقارن با مسیرهای بحرانی زیاد به منظور کاهش توان مصرفی بیش از حد موثر نخواهد بود.

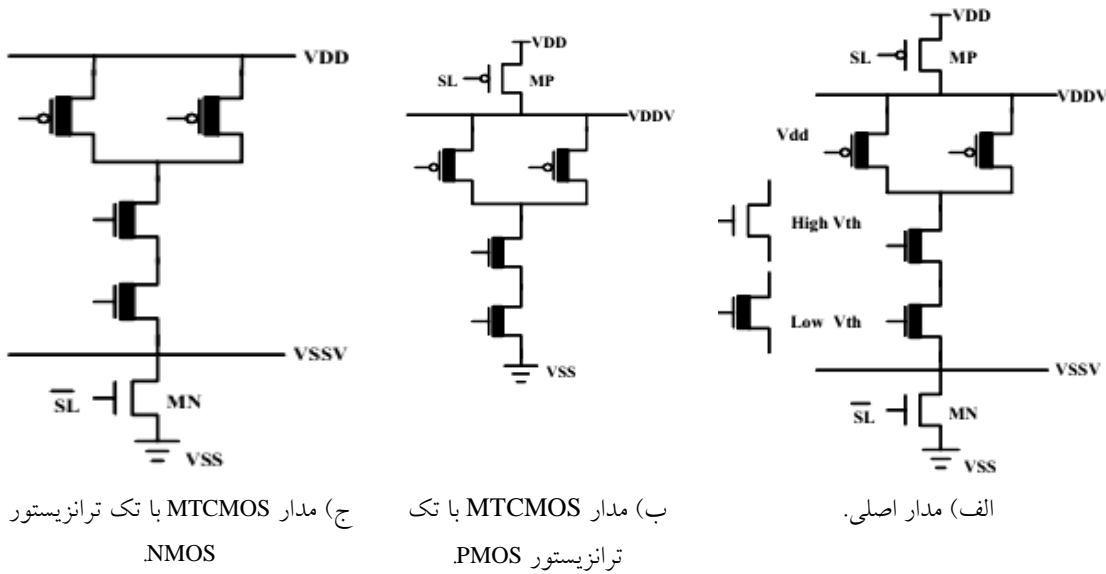
## 1-2-2- استفاده از چندین ولتاژ آستانه

مدارات CMOS با چندین ولتاژ آستانه که به نام MTCMOS<sup>1</sup> شناخته می‌شوند [18-20]، از ترانزیستورهای با ولتاژ آستانه بالا را بین منبع تغذیه و ترانزیستورهای مدار اصلی استفاده می‌کنند [41]. شکل 2-3-الف شماتکی مداری یک دروازه NAND از نوع MTCMOS را نشان می‌دهد. ترانزیستورهای مدار اصلی با ولتاژ آستانه پایین کار می‌کنند، در حالی که ولتاژ آستانه ترانزیستورهایی که مدار را به منبع تغذیه وصل می‌کنند بالا می‌باشد. این ترانزیستورها برای کنترل حالت کاری خواب مدار استفاده می‌شود. در مد کاری فعال، سیگنال SL صفر می‌شود و ترانزیستورهای کنترل‌کننده حالت کاری خواب (MP و MN) روشن می‌شوند. مقاومت روشن بودن آنها بسیرا ناچیز می‌باشد، به طوری که ولتاژهای VDDV و VSSV تقریباً برابر خطوط تغذیه مدار گرفته می‌شوند. در مد کاری استراحت، سیگنال SL برابر صفر می‌شود و ترانزیستورهای MN و MP خاموش می‌شوند و از این رو جریان نشتی کاهش می‌یابد. جریان نشتی بالا در ترانزیستورهای با ولتاژ آستانه پایین توسط ترانزیستورهای کنترلی دارای ولتاژ آستانه بالا حذف می‌شوند. هر چند ترانزیستور کنترلی نشتی دارد، اما نشتی آن بسیار ناچیز می‌باشد. با استفاده از ترانزیستورهای کنترل‌کننده حالت خواب، مداری که دارای کارایی بالا در مد بیداری یا فعال همراه با مشخصه‌های توان نشتی خوبی در مد استراحت یا خواب می‌باشد، حاصل می‌شود.

به منظور کاهش بالاسری<sup>2</sup> مساحت اشغالی، توان مصرفی و سرعت ناشی از ترانزیستورهای کنترلی دارای ولتاژ آستانه بالا، می‌توان تنها از یک ترانزیستور با ولتاژ آستانه بالا استفاده نمود. شکل 2-3-ب و 2-3-ج مدار دروازه NAND از نوع MTCMOS با بکارگیری PMOS و NMOS را به ترتیب نشان می‌دهند. بکارگیری ترانزیستور NMOS نسبت به ترانزیستور PMOS برای کنترل حالت کاری خواب و فعال در مدارات MTCMOS ارجحیت دارد، زیرا این نوع ترانزیستورها دارای ابعاد کوچکتر، مقاومت روشن بودن کمتر و سرعت بالاتری می‌باشند [38].

<sup>1</sup> Multi-Threshold-Voltage CMOS (MTCMOS)

<sup>2</sup> Overhead



شکل (3-1) شماتیک مدار دروازه NAND از نوع PMOS MTCMOS.

در مقایسه با روش استفاده از دو ولتاژ آستانه، روش MTCMOS تنها می‌تواند نشتی در حالت کاری خاموش را کاهش دهد و علاوه بر این دارای بالاسری مساحت، توان و سرعت نسبت به مداراد با دو ولتاژ آستانه می‌باشد.

### 3-2-1- روش بایاس بدنه تطبیقی

ولتاژ آستانه ترانزیستور NMOS کانال کوتاه، به صورت زیر بیان می‌شود [42]:

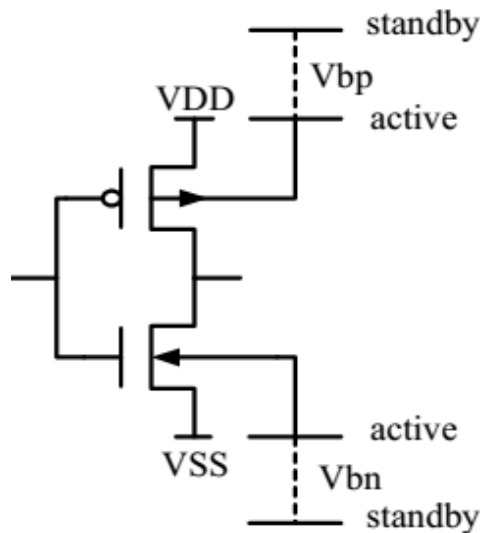
$$V_{th} = V_{th0} + \gamma(\sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s}) - \theta_{DIBL}V_{dd} + \Delta V_{NW} \quad (5-2)$$

که در این رابطه  $V_{th0}$  ولتاژ آستانه با بایاس بدنه صفر ولت،  $\phi_s$ ،  $\gamma$  و  $\theta_{DIBL}$  ثابت‌های داده شده توسط تکنولوژی،  $V_{bs}$  ولتاژ اعمال شده بین بدنه و سورس ترانزیستور،  $\Delta V_{NW}$  ثابت مدل کننده کانال با عرض کم و  $V_{dd}$  ولتاژ تغذیه می‌باشد. رابطه 2-5 نشان می‌دهد که بایاس معکوس بدنه منجر به افزایش ولتاژ آستانه و بایاس مستقیم بدنه منجر به کاهش ولتاژ آستانه می‌شود.

با تنظیم پویای ولتاژ آستانه توسط بایاس بدنه وقتی متناظر با مد کاری مدار، می‌توان نشتی را به شدت کاهش داد. در حالت کاری فعال، از بایاس مستقیم یا صفر برای کاهش ولتاژ آستانه

استفاده می‌شود. از این رو کارایی بالایی در مد کاری فعال حاصل می‌شود. در حالت کاری استراحت، توان نشتی می‌تواند توسط بابای معکوس بدنه به شدت کاهش یابد. زیرا با اعمال بایاس معکوس به بدنه، ولتاژ آستانه زیاد می‌شود و از این رو جریان نشتی زیرآستانه کاهش می‌یابد. ساختار کلی استفاده از این روش در یک معکوس کننده در شکل 2-4 نشان داده شده است [38].

شبه روش MTCMOS، بایاس بدنه و فقی [43-48] تنها توان نشتی در حالت کاری استراحت را کاهش می‌دهند. با ادامه روند مقیاس شدن تکنولوژی، بایاس بدنه معکوس بهینه به بایاس بدنه صفر نزدیک می‌شود و از این رو این روش نمی‌تواند در نسل جدید تکنولوژی CMOS (مثلاً زیر 65 نانومتر) چندان کارآمد باشد [49].



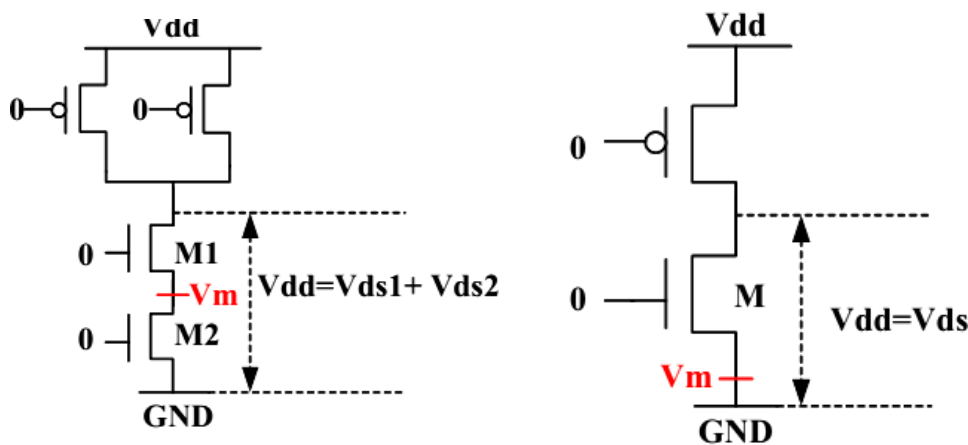
شکل (4-1) طرح کلی استفاده از روش بایاس بدنه و فقی در یک معکوس کننده.

#### 1-2-4- استک کردن ترانزیستورها<sup>1</sup>

دو ترانزیستور متصل به هم در حالت کاری خاموش جریان نشتی کمتری نسبت به یک ترانزیستور در همین حالت کاری دارد. این اثر که استک کردن ترانزیستورها نامیده می‌شود [26-28]. در شکل 2-5-ب، زمانی که ترانزیستورهای M1 و M2 خاموش باشند، به علت جریان نشتی شارش شده از M1 و M2 ولتاژ  $V_m$  مقداری مثبت دارد. اگر فرض کنیم ولتاژ بدنه ترانزیستورهای

<sup>1</sup> Transistor Stacking

M1 و M2 صفر ولت می‌باشد، ولتاژ  $V_{bs}$  مربوط به M1 مقداری منفی خواهد بود و این منجر به افزایش ولتاژ آستانه M1 می‌شود. به طور همزمان،  $V_{gs}$  و  $V_{ds}$  مربوط به M1 کاهش می‌یابند. بر اساس رابطه 2-2، نشتی زیرآستانه مربوط به M1 به سرعت کاهش می‌یابد و از نشتی زیاد جریان زیرآستانه توسط M2 جلوگیری می‌شود. با این حال همانطور که در شکل 2-5 الف نشان داده شده، ولتاژ  $V_m$  معمولاً بزرگتر مساوی صفر است و اثری بر روی  $V_{bs}$ ،  $V_{gs}$  و  $V_{ds}$  مربوط به M ندارد و متعاقباً بر روی ولتاژ آستانه نیز اثری ندارد.



الف) بدون استک کردن ترانزیستور NMOS.

ب) با استک کردن ترانزیستور NMOS.

شکل (1-5) مقایسه نشتی زیرآستانه در یک معکوس کننده.

با استک کردن ترانزیستورها به وسیله جایگزین کردن ترانزیستورهای خاموش با چندین ترانزیستور خاموش که به صورت سری به هم وصل شده‌اند، جریان نشتی به شدت کاهش می‌یابد [50-52]. عیب این روش نیز از شکل 2-5 ب قابل مشاهده می‌باشد. چنین روشی علاوه بر افزایش مساحت، کارایی مدار را خراب کرده و از طرفی توان مصرفی پویا را افزایش می‌دهد.

### 1-2-5- بردار ورودی بهینه حالت استراحت

جریان نشتی زیرآستانه به بردار ورودی اعمال شده به ورودی‌های دروازه بستگی دارد، زیرا بردارهای مختلف باعث می‌شوند تا ترانزیستورهای مختلفی خاموش و روشن شوند. همان طور که در بخش 2-2-4 بیان شد، دروازه NAND با 2 ورودی برای بردار ورودی "00" به علت اثر استک

کردن دارای جریان نشتی کمی می‌باشد. زمانی که مدار در حالت استراحت باشد، یک انتخاب دقیق برای بردار ورودی وجود دارد که منجر به کاهش توان نشتی کل دروازه در حالت استراحت می‌شود [15، 25، 53-55]. ژائو و ... در مرجع [55] جریان نشتی را به وسیله تابع شبه بولی خطی شده مدل کرده‌اند. یک مدل دقیق برنامه‌ریزی خطی صحیح (ILP)<sup>1</sup> ابتدا به منظور مینیمم کردن نشتی نسبت به بردار ورودی پیشنهاد شده است. سپس یک روش اکتشافی سریع MILP پیشنهاد شده که به صورت انتخابی برخی از محدودیت‌های باینری مدل ILP را ارضا می‌کند و مصالحه‌ای بین زمان اجرا و بهینه بودن روش را ایجاد می‌کند.

## 1-2-6- قطع کردن توان تغذیه

یو و بوشنل در [56-57] روشی جدیدی برای کاهش توان نشتی را به نام قطع توان تغذیه به صورت دینامیکی<sup>2</sup> پیشنهاد داده‌اند. تغذیه هر دروازه فقط در دروه زمانی مشخص و در چرخه پالس ساعت به تغذیه اصلی مدار وصل می‌باشد. این دوره زمانی پنجره کلیدزنی نامیده شده است. مدار به صورت بهینه به چند گروه بر اساس کوچکترین پنجره کلیدزنی<sup>3</sup> تقسیم‌بندی شده است و به منظور کنترل اتصالات تغذیه هر گروه به تغذیه اصلی ترانزیستورهای قطع کننده تغذیه در نظر گرفته شده است. از انجایی که تغذیه هر گروه در دوره زمانی کوتاهی وصل می‌باشد، جریان نشتی به شدت کاهش می‌یابد. به منظور کاهش توان نشتی یکی از روش‌های پیاده‌سازی ترانزیستورهای قطع کننده تغذیه استفاده از ترانزیستورهای با ولتاژ آستانه بالا می‌باشد (همانند بخش 2-2-2) می‌باشد. یک راه دیگر استفاده از ترانزیستورهای با ولتاژ آستانه پایین می‌باشد که توسط ولتاژ بالاتر  $V_{da}$  برای ترانزیستورهای PMOS و کمتر از  $V_{ss}$  برای ترانزیستورهای NMOS درایو می‌شوند.

<sup>1</sup> Integer Linear Programming (ILP)

<sup>2</sup> Dynamic power cutoff technique (DPCT)

<sup>3</sup> Minimal switching window (MSW)

### 1-3- راه‌های کاهش توان پویا

همان‌طور که در بخش 1-2 بیان شد، توان مصرفی پویا تابعی ناشی از دو عامل کلیدزنی قابل قبول ناشی از تغییر ورودی‌ها و کلیدزنی‌های ناخواسته ناشی از پدیده گلیچ می‌باشد. برای کاهش توان مصرفی پویا تحت فرکانس کاری داده شده، باید فاکتور کلیدزنی، بار خازنی گره‌ها و یا ولتاژ تغذیه مدار را کاهش دهیم.

#### 1-3-1- کاهش توان مصرفی کلیدزنی دروازه‌ها

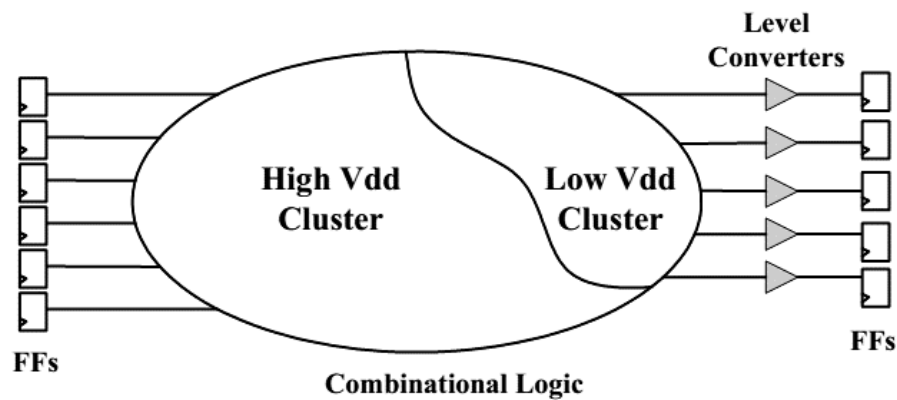
##### أ. استفاده از دو خط تغذیه

کاهش ولتاژ تغذیه و یا مقیاس کردن ولتاژ تغذیه یکی از موثرترین روش‌ها برای کاهش توان مصرفی پویا می‌باشد [58-62]. زیرا توان مصرفی پویا دارای رابطه درجه دو با ولتاژ تغذیه می‌باشد. همانند روش استفاده از دو ولتاژ آستانه، روش استفاده از دو ولتاژ تغذیه، ولتاژ تغذیه بالاتر را به دروازه‌های موجود در مسیر بحرانی اختصاص می‌دهد و ولتاژ تغذیه پایین‌تر را به دیگر دروازه‌ها اختصاص می‌دهد. زمانی که دروازه‌ای که با ولتاژ تغذیه پایین کار می‌کند به طور مستقیم دروازه‌ای را که با ولتاژ تغذیه بالاتر کار می‌کند، درایو می‌کند، از مدارات تغییر دهنده سطح ولتاژی استفاده می‌شود. این باعث می‌شود تا از نامطلوبی‌هایی نظیر توان مصرفی اتصال کوتاه در مداراتی که با تغذیه بالاتر کار می‌کنند و کاهش کارایی آنها در انجام پایان نامه مهندسی برق اجتناب شود. از آنجایی که استفاده از تبدیل‌کننده‌های سطح ولتاژی منجر به افزایش توان مصرفی می‌شود، لذا مینیمم‌سازی تعداد تبدیل‌کننده‌های سطح در روش مقیاس کردن ولتاژ اهمیت دارد [63].

مقیاس کردن ولتاژ تغذیه به صورت خوشه‌بندی شده<sup>۱</sup> یکی از روش‌های موثر مقیاس کردن ولتاژ می‌باشد [64]. ایده اصلی در شکل 2-6 نشان داده شده است [63]. دروازه‌های با ولتاژ تغذیه پایین با استفاده از مدارات فلیپ-فلاپ ولتاژ تغذیه پایین را به ولتاژ تغذیه بالا تبدیل می‌کنند، به

<sup>1</sup> Clustered voltage scaling (CVS)

طوری که کل تبدیل‌کننده‌های سطح مینیمم شوند.



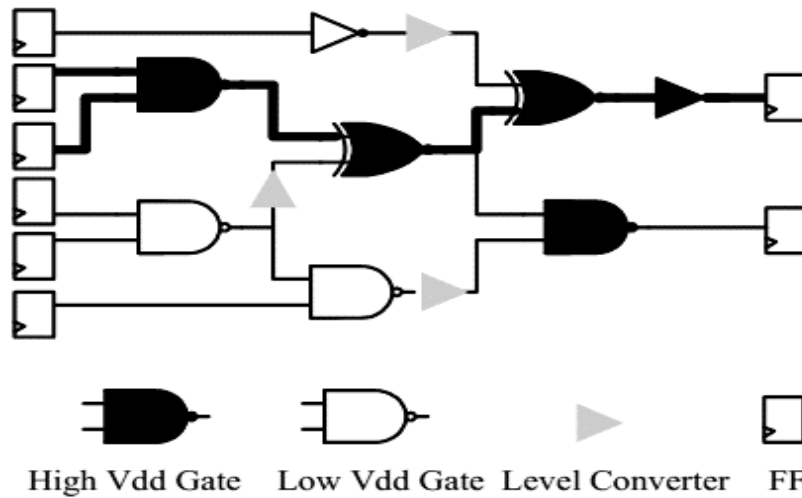
شکل (6-1) شماتیک مقیاس کردن ولتاژ تغذیه به صورت خوشه‌بندی شده.

بر خلاف روش مقیاس کردن ولتاژ تغذیه به صورت خوشه‌بندی شده، در نسخه توسعه یافته مقیاس کردن ولتاژ تغذیه به صورت خوشه‌بندی شده [65] تبدیل‌کننده‌های سطح در هر جایی از مدار می‌توانند باشند و ولتاژ تغذیه می‌تواند به دروازه‌ها اعمال شود. این روش انعطاف‌پذیری بیشتری را نتیجه می‌دهد. بنابراین این روش کاهش بیشتری در توان مصرفی را نسبت به روش مقیاس کردن ولتاژ تغذیه به صورت خوشه‌بندی شده نتیجه می‌دهد. با این حال الگوریتم توسعه یافته پیچیدگی بیشتری نسبت نسخه قبلی خود دارد، زیرا روش مقیاس کردن ولتاژ تغذیه به صورت خوشه‌بندی شده از الگوریتم Backtracking برای تعیین فقط دو خوشه استفاده می‌کند. یکی از خوشه‌های انتخاب شده را به ولتاژ تغذیه بالا و دیگری را به ولتاژ تغذیه پایین ارجاع می‌دهد. شکل 7-2 یک مثالی از مداری که توسط روش توسعه یافته مقیاس کردن ولتاژ تغذیه به صورت خوشه‌بندی شده را نشان می‌دهد. خطوط کلفت مسیر بحرانی را نشان می‌دهد.

### ب. سایزبندی دروازه‌ها

مسیرهای غیربحرانی دارای اسلک زمانی می‌باشد و از این رو تاخیر برخی از دروازه‌ها قرار گرفته در این مسیر می‌تواند بدون اثر گذاشتن بر روی کارایی مدار زیاد شود. از آنجایی که طول ترانزیستورهای دروازه‌ها به منظور افزایش سرعت دروازه‌ها معمولاً مینیمم می‌باشد، تاخیر دروازه‌ها





شکل (7-1) شماتیک مدار بهینه شده با استفاده از روش نسخه توسعه یافته مقیاس کردن ولتاژ تغذیه.

می‌تواند با کاهش عرض ترانزیستورهای دروازه‌های می‌تواند زیاد شود. در نتیجه توان مصرفی پویا به دلیل کاهش بار خازنی گره‌ها نیز متعاقباً کاهش می‌یابد. زیرا بار خازنی گره‌ها رابطه مستقیم با عرض ترانزیستورها دارد.

سایزبندی دروازه‌ها روشی است که عرض ترانزیستورهای دروازه‌ها را تعیین می‌کند. روش متداول تعیین عرض ترانزیستورها، از مدل تاخیر المور<sup>1</sup>، که به صورت چند جمله‌ای فرمول‌بندی می‌شود، استفاده می‌کند. روش اکتشافی دانه‌ای [24, 59, 66-70] می‌تواند برای حل چنین مسئله چندجمله‌ای مورد استفاده قرار گیرد. به طور کلی، الگوریتم اکتشافی نسبتاً سریع می‌باشد، اما نمی‌تواند بهینه‌سازی سراسری را تضمین کند.

تاخیر دروازه‌ها نسبت به ابعاد ترانزیستورها، به طور کلی توسط رابطه زیر توصیف می‌شود [24, 59, 66-70]:

$$d_i = gd_i + C_i \frac{C_{out}}{GS_i} \quad (6-2)$$

در این رابطه  $d_i$  تاخیر دروازه،  $gd_i$  تاخیر ذاتی دروازه نام،  $C_i$  ثابت،  $C_{out}$  میزان بار خازنی گره خروجی دروازه نام می‌باشد و  $GS_i$  عرض دروازه نام می‌باشد. کل بار خازنی  $C_{out}$  بر اساس بار خروجی دروازه تعیین می‌شود و به صورت زیر تعریف می‌شود:

<sup>1</sup> Elmore delay

$$C_{outi} = \sum_{j \in FO(i)} (C_{wireij} + C \cdot GS_i) \quad (7-2)$$

که در این رابطه  $FO(i)$  مجموعه‌ای از دروازه‌های متصل به خروجی دروازه  $i$ ام،  $C_{wireij}$  ظرفیت خازنی سیم متصل‌کننده دروازه‌ی  $i$ ام و  $\lambda$ ام و  $C$  ثابت می‌باشد. زمانی که ظرفیت سیم‌ها نادیده گرفته می‌شوند، رابطه 2-6 به صورت 2-8 بازنویسی می‌شود.

$$d_i = gd_i + k_i \sum_{j \in FO(i)} \frac{GS_j}{GS_i} \quad (8-2)$$

که  $k_i = C \cdot C_i$  می‌باشد.

روش برنامه‌ریزی خطی که در [71] پیشنهاد شده است، به صورت تکه خطی مدل تاخیر را وفق می‌دهد که این امر منجر به بهینه‌سازی سراسری می‌باشد. روش برنامه‌ریزی غیر خطی نسبت به روش خطی از لحاظ بهینه‌سازی سراسری دقیق‌تر عمل می‌کند، با این حال هزینه و زمان اجرای آن زیاد می‌باشد [72].

### ج. سایزبندی ترانزیستورها

ایده اصلی سایزبندی ترانزیستورها دقیقاً شبیه ایده سایزبندی دروازه‌ها می‌باشد، با این تفاوت که در سایزبندی دروازه‌ها تمامی ترانزیستورهای سک دروازه با یک فامتور سایزبندی می‌شدند. در روش سایزبندی ترانزیستورها، هر ترانزیستور می‌تواند به صورت مستقل سایزبندی شود.

تاخیر ذاتی دروازه به جریان و بردارهای قبلی ورودی، که مسیرهای ورودی-خروجی داخلی یک دروازه را مشخص می‌کند، بستگی دارد. مسیرهای متفاوت ورودی-خروجی درون یک دروازه، مقاومت‌های روشن بودن متفاوتی دارند که باعث تاخیر ذاتی متفاوتی برای دروازه می‌شود، زیرا مسیرها تاخیرهای متفاوتی دارند.

برای دروازه قرار گرفته در مسیر بحرانی، تنها بخشی از ترانزیستورها در بزرگترین تاخیر ذاتی دروازه‌ها سهم دارند. بنابراین ترانزیستورهای باقی‌مانده هنوز می‌توانند به منظور کاهش ظرفیت خازنی سایزبندی شوند. در روش سایزبندی دروازه‌ها، تاخیر ذاتی دروازه  $i$ ام ( $gd_i$ ) در رابطه 2-6 و 2-8 دارای مقدار ثابتی می‌باشد. از این رو تمایز بین مسیرهای ورودی-خروجی دروازه را غیرممکن می‌سازد. بر خلاف این روش، در روش سایزبندی ترانزیستورها، در انجام پایان نامه با سایزبندی

مستقل از هم ترانزیستورها، بیشترین استفاده از فضای بهینه‌سازی می‌شود تا بهینه‌سازی سراسری دقیقی حاصل شود [73-76].

### 1-3-2- کاهش توان مصرفی ناشی از گلیچ

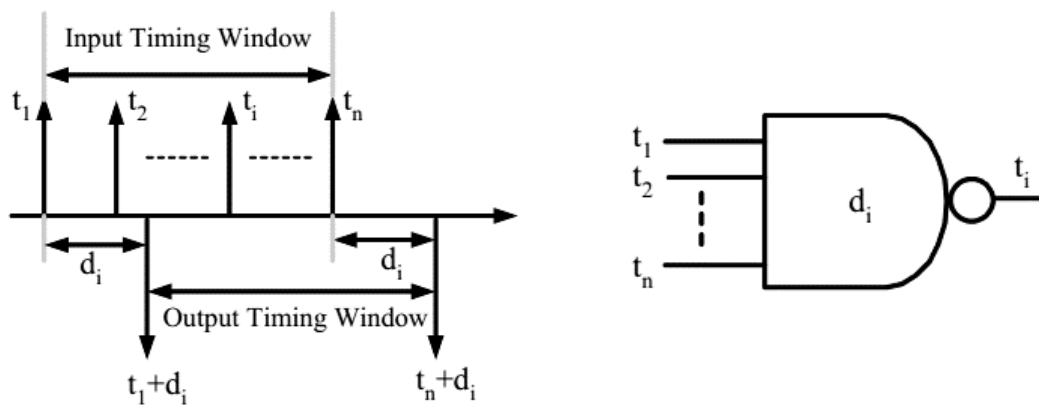
زمانی که گذر سیگنال به ورودی دروازه اعمال می‌شود، خرجی دروازه ممکن است قبل از رسیدن به حالت پایدار چندین گذر داشته باشد (شکل 2-9-الف). در بین این گذارها، تنها یک گذار ممکن است ضروری باشد و بقیه ناخواسته و غیرضروری می‌باشد. این گذارهای ناخواسته را گلیچ یا هازارد می‌گویند. از آنجایی که توان کلیدزنی مصرفی توسط دروازه به طور مستقیم با تعداد گذارهای خروجی متناسب می‌باشد، در مرجع [8] توان مصرفی ناشی از گلیچ را بین 20 تا 70 درصد توان مصرفی پویا گزارش شده است.

اگرال و ... در مرجع [14] اثبات می‌کنند که اگر اختلاف زمان رسیدن سیگنال در هر ورودی دروازه کوچک‌تر از تاخیر داخلی یا ساکن<sup>1</sup> دروازه باشد، مدارات ترکیبی مینیمم مصرف انرژی گذار را دارند. به عبارت دیگر گلیچی در این مدارات اتفاق نخواهد افتاد. در واقع این اختلاف زمانی، بازه زمانی می‌باشد که قبل از تغییر خروجی ناشی از اعمال ورودی اول، ورودی دوم به دروازه وارد شود. این شرایط در رابطه 2-9 آورده شده است.

$$t_n - t_1 < d_i \quad (9-2)$$

فرض می‌کنیم که  $t_i$  زودترین ورودی رسیده و  $t_n$  دیرترین یا باتاخیرترین ورودی رسیده شده به دروازه و نیز  $d_i$  تاخیر ساکن دروازه می‌باشد. شکل 2-8 این شرایط را نشان می‌دهد. بازه زمانی  $t_n - t_1$  به پنجره زمانی ورودی-خروجی دروازه اشاره دارد [77].

<sup>1</sup> inertial



الف) شماتیک مداری.

ب) پنجره زمان‌بندی برای ورودی و خروجی.

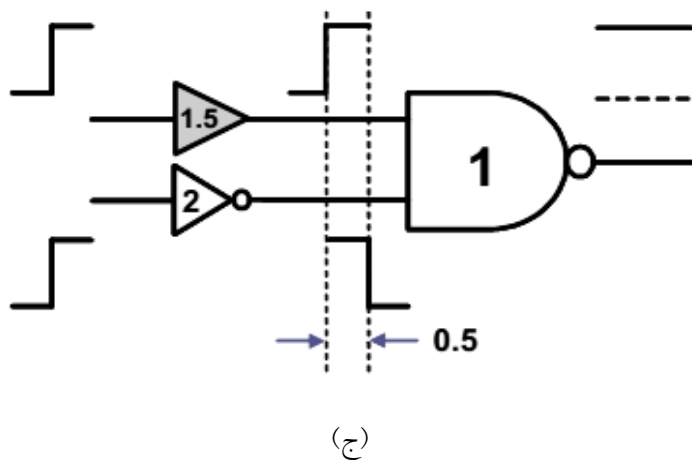
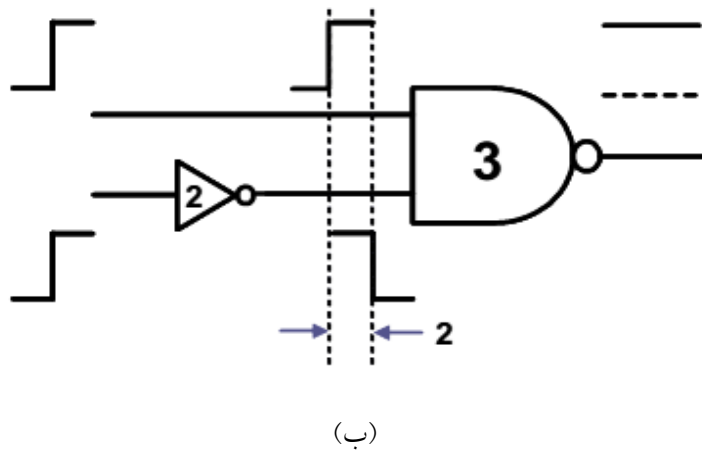
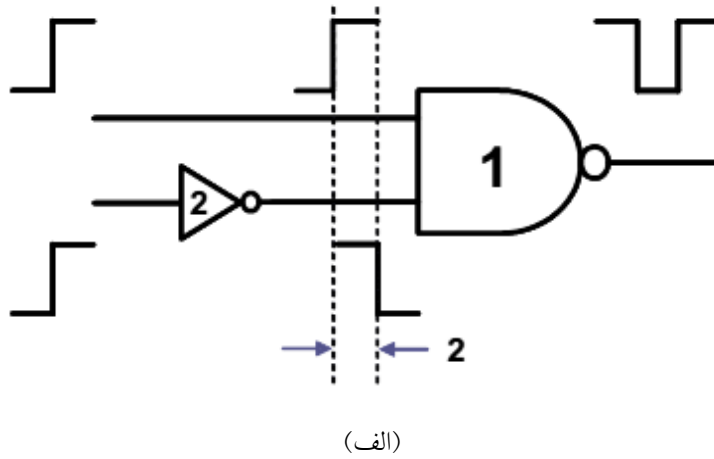
شکل (1-8) پنجره زمان‌بندی برای دروازه NAND با  $n$  ورودی.

### أ. روش فیلتر کردن هازارد

در روش فیلتر کردن، با بزرگ‌تر شدن پنجره زمان‌بندی به وسیله سایزبندی دروازه‌ها یا ترانزیستورها تاخیر ساکن دروازه افزایش می‌یابد [9, 13 و 78]. بنابراین هود دروازه به نقش فیلتر هازارد را بازی می‌کند. شکل 2-9-الف پنجره زمان‌بندی برای 2 واحد را نشان می‌دهد که این پنجره از تاخیر ساکن دروازه (که برابر 1 واحد می‌باشد) بزرگ‌تر می‌باشد. گلیچ در خروجی این دروازه تولید می‌شود. شکل 2-9-ب همین دروازه را نشان می‌دهد که تاخیر ساکن آن از 1 واحد به 3 واحد افزایش یافته است. همان‌طور که مشاهده می‌شود، گلیچ در خروجی این دروازه حذف شده است. به منظور ارضاء شدن نامساوی 2-8، می‌توان تاخیر ساکن دروازه را به روش‌های فیلتر کردن هازارد و یا سایزبندی ترانزیستورها یا دروازه‌ها زیاد نمود و یا می‌توان تاخیر مسیرهای متفاوت را با استفاده از روش‌های متعادل‌سازی مسیرها، کوچک نمود. شکل 2-9-ب و 2-9-ج این دو استراتژی را برای دروازه داده شده در شکل 2-9-الف نشان می‌دهند.

در مرجع [9]، روش فیلتر کردن هازارد به یک تمام جمع کننده اعمال شده است و کاهش 42 درصدی توان مصرفی پویا حاصل شده است. در مدارات خالی از گلیچ از دروازه‌هایی که سرعت آنها نسبت به نسخه اصلی خود کمتر می‌باشند (در حدود 20 درصد)، استفاده می‌شود. با این حال، طراحی چنین مداراتی به نحوی می‌باشد که سرعت کلی سیستم به مقدار ناچیزی کاهش می‌یابد. این بدین دلیل است که چنین دروازه‌هایی عمدتاً در مسیر غیر بحرانی قرار دارند و لذا سهمی

در کارایی سیستم، که توسط مسیر بحرانی سنجیده می شود، ندارند.



شکل (9-1) الف) بیان گلیچ در خروجی دروازه NAND. ب) حذف گلیچ با استفاده از روش فیلتر کردن هازارد. ج) حذف گلیچ با استفاده از روش متعادل سازی تاخیر مسیرها.

## ب. متعادل سازی مسیرها

در روش متعادل سازی مسیرها، پنجره زمان بندی  $t_n - t_1$  با قرار دادن عناصر تاخیر بر روی ورودی های سریع تر، به کمتر از تاخیر ساکن دروازه کاهش می یابد [11، 14 و 15]. در شکل 2-9-ج، تاخیری 1.5 واحدی در مسیر ورودی های سریع تر قرار داده شده است و لذا پنجره زمان بندی به نیم واحد کاهش یافته است، که این مقدار، کمتر از مقدار تاخیر ساکن دروازه می باشد. از این رو در انجام پایان نامه گلیچ در خروجی دروازه حذف می شود. از آنجایی که عناصر تاخیر نیز خود دارای مصرف توان می باشند، عناصر تاخیر با توان مصرفی پایین باید انتخاب شود. بخش 3-3 جزئیات انتخاب چنین مداراتی را بیان می کند. در مرجع [79] نویسندگان از سلول های مقاومت در مسیر<sup>1</sup> برای پیاده سازی تاخیر استفاده کرده اند. این روش می تواند توان گلیچ را حذف کند، اما بالارسی زیاد مساحت دارد که توسط قرار دادن مقاومت های بزرگ به وجود آمده است. راجا و ... در مرجع [80] و [81] یک روش متعادل سازی مسیر را بر اساس تاخیر ورودی متغیر پیشنهاد می دهند که این یک طراحی جدیدی از دروازه های منطقی است که در آن دروازه ها دارای تاخیرهای متفاوت متعلق به مسیر ورودی-خروجی شان می باشند. بنابراین، مدارات عاری از گلیچ می توانند بدون قرار دادن عناصر تاخیر در مدار طراحی شوند. با این حال طراحی این نوع از دروازه ها به علت مقدار متفاوت تاخیرها محدودیت هایی از لحاظ تکنولوژی دارد.

زمانی که از روش فیلتر کردن هازارد یا ساین بندی دروازه ها یا ترانزیستورها به تنهایی استفاده می شود، تاخیر کلی از ورودی به خروجی دروازه زیاد می شود، زیرا برای حذف گلیچ، باید تاخیر ساکن برخی از دروازه های قرار گرفته در مسیر بحرانی افزایش یابد. از طرف دیگر، به علت باند بالایی برای تاخیر دروازه ها در تکنولوژی معینی، تاخیر دروازه ها نمی تواند از حد معینی بیشتر شود. لذا برهی از گلیچ ها در مداراتی با مسیر بحرانی طولانی و یا دارای دروازه های زیاد، نمی تواند به طور کامل از بین رود. فیلتر کردن هازارد یا ساین بندی دروازه ها یا ترانزیستورها معمولاً نمی تواند به طور 100 درصد حذف کردن گلیچ را تضمین کند. متعادل سازی مسیرها تاخیر را افزایش نمی دهد و از

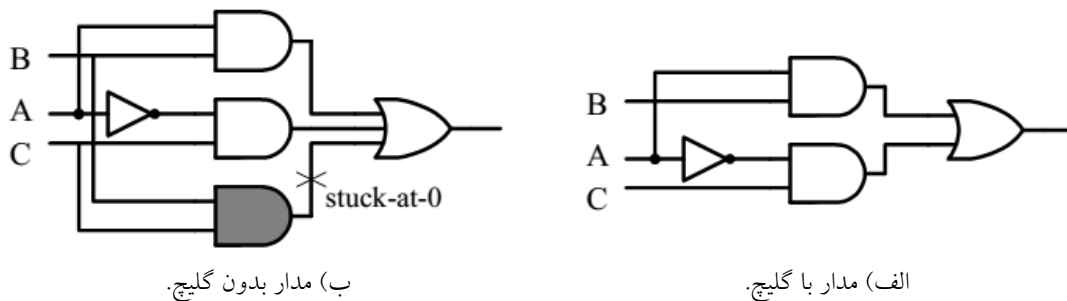
---

<sup>1</sup> resistive-feed-through

این رو حذف تمامی گلیچ‌ها در مدار تضمین خواهد شد. با این حال این روش نیازمند قرار دادن تعناصر تاخیر در مدار می‌باشد که این عناصر بالاسری زیادی از لحاظ توان مصرفی و مساحت اشغالی تراشه دارند. ترکیب دو روش پیشنهاد شده در [11 و 14] می‌تواند راه‌حل بهینه‌ای را به دست دهد.

### ج. مدارات عاری از گلیچ

در سیستم‌های غیرهمزمان یا آسنکرون، برخی از سیگنال‌های کنترلی باید کاملاً تمیز (بدون نویز) و بدون هر هازارد یا تاخیری باشد. مدارات عاری از هازارد می‌توانند برای تولید چنین سیگنال‌هایی استفاده شود. مدار مالی پلکسر نشان داده شده در شکل 2-10-الف، زمانی که A از 1 به 0 تغییر می‌کند و دو ورودی B و C ثابت و برابر 1 بمانند، در خروجی آن پدیده گلیچ به وجود می‌آید. گلیچ به وجود آمده می‌تواند با اضافه کردن یک دروازه اضافی (دروازه خاکستری شده) حذف شود [82]. شکل 2-10-ب مدار مالی پلکسر عاری از گلیچ را نشان می‌دهد [82].



ب) مدار بدون گلیچ.

الف) مدار با گلیچ.

شکل (2-10) حذف گلیچ با استفاده از یک دروازه اضافی.

علاوه بر بالاسری توان و مساحت، از دیگر معایب این روش معرفی افتادن در خطا<sup>1</sup> می‌باشد، همان‌طور که در شکل 2-10-ب نشان داده شده است. این خطا نمی‌تواند آزمایش شود. از طرف دیگر، اگر این خطا وجود داشته باشد، مدار قابلیت عاری بودن از خطا را از دست می‌دهد. از دیگر معایب این روش تضمین نکردن حذف گلیچ برای ورودی‌های با چندین گذر می‌باشد.

در مرجع [83] نویسندگان روش جدیدی را برای مینیمم‌سازی احتمال وقوع گلیچ تابع بولی در دو مرحله با تغییرات چندین ورودی پیشنهاد داده‌اند. با توجه به تابع بولی ناکامل داده شده، این

<sup>1</sup> Stuck-at fault

روش هزینه پیاده سازی را مینیمم می‌کند که در صورت وجود راه حل، مدارات عاری از گلیچ می‌باشند. نشان داده شده که بالاسری این روش را می‌توان نادیده گرفت.

## 1-4- خلاصه فصل

این فصل به مروری بر روش‌های طراحی مدارات دیجیتال با توان مصرفی پایین پرداخته شد. روش‌های مختلفی برای کاهش توان مصرفی در سطح گیت دروازه ارائه شد. روش استفاده از دو ولتاژ آستانه نسبت به دیگر روش‌های کاهش توان نشستی زیرآستانه روش بهینه‌ای است. به منظور کاهش توان پویای ناشی از گلیچ، روش‌های فیلتر کردن هازارد و متعادل‌سازی مسیرها معرفی شدند و مزایا و معایب هر یک مورد بحث قرار گرفتند.



